

Arquitectura del Procesador II

Despacho Múltiple y Desenrollado de Loop

Ejercicio 1: Para el siguiente fragmento de código MIPS:

```
LD      $1, A($0)
LD      $2, B($0)
LD      $3, C($0)
LD      $4, D($0)
LD      $5, E($0)
ADD     $1, $1, $2
ADD     $3, $3, $4
ADD     $1, $1, $5
ADD     $6, $0, $0
ADD     $6, $1, $3
```

1. Indique las dependencias de datos existentes.
2. Realice una planificación estática de los paquetes para una arquitectura con despacho dual.
3. Muestre el diagrama de ciclos de reloj de la ejecución del código obtenido en la planificación estática del punto anterior. ¿Cuál es la aceleración que se obtiene comparado con un procesador con pipeline sin despacho dual?.

Ejercicio 2: Para el siguiente fragmento de código MIPS:

```
      addi    $1, $0, 4
loop: sw     $1, 0xFF00($2)
      sw     $1, 0xFFFF($2)
      addi    $2, $2, #4
      add    $3, $5, $1
      lw     $3, 0xA000($2)
      addi    $1, $1, #-1
      bne    $0, $1, loop
```

1. Indique las dependencias de datos existentes.
2. Realice una planificación estática de los paquetes para una arquitectura con despacho dual y un slot de demora de una instrucción.
3. Muestre el diagrama de ciclos de reloj de la ejecución del código obtenido en la planificación estática del punto anterior. ¿Cuál es la aceleración que se obtiene comparado con un procesador con pipeline sin despacho dual?.
4. Aplique la técnica de desenrollado de loop y realice el diagrama de ciclos de reloj. ¿Cuál es la aceleración que se obtiene en comparación con la ejecución desarrollada en el punto anterior?.