

# Arquitectura del Procesador II

## Trabajo Práctico VI

### Planificación Dinámica – Algoritmo de Tomasulo

**Ejercicio 1:** Describa las estructuras de datos que utiliza el algoritmo del Tomasulo.

**Ejercicio 2:** Ejecute los siguientes fragmentos de código sobre una arquitectura MIPS con algoritmo de Tomasulo:

ld	f1, a(r0)	muld	f1, f2, f3	muld	f1, f2, f3
ld	f2, b(r0)	ld	f5, b(r0)	muld	f3, f1, f2
addd	f3, f1, f2	addd	f1, f1, f5	addd	f2, f2, f2

**Ejercicio 3:** Ejecute el algoritmo de Tomasulo para el siguiente código:

```

ld    f6, 34(r2)
ld    f2, 45(r3)
divd  f8, f6, f2
muld  f1, f3, f8
addd  f3, f5, f6
divd  f10, f0, f6
muld  f10, f1, f2
addd  f10, f8, f2

```

#### **Ejercicio 4:**

Responda:

- En qué estado el algoritmo de Tomasulo trata los hazards raw, war, waw.
- Describa las actividades realizadas en cada uno de los estados del algoritmo de Tomasulo.
- Describa las limitaciones que Ud. encuentra en el algoritmo de Tomasulo.

**Ejercicio 5:** Realizar la ejecución para la siguiente secuencia de código de instrucciones en punto flotante para un procesador RISC, similar al MIPS, que posee planificación dinámica de instrucciones basada en el algoritmo de Tomasulo:

```

LD      F6,x(R1)
LD      F2,y(R1)
MULTD  F0,F2,F4
SUBD   F8,F6,F2
DIVD   F6,F0,F6
ADDD   F10,F0,F6
ADDD   F6,F8,F2
SD     z(R1),F6
    
```

**Ejercicio 6:** Para el siguiente código mostrar en qué ciclo (o ciclos) se llevan a cabo cada una de las tres fases del algoritmo de Tomasulo para cada instrucción, indicando también en cada caso el tipo de detención que se produce:

	DESPACHO	EJECUCIÓN	ESCRITURA
ADDD F0,F2,F4 LD F2,0(R3) DIVD F4,F0,F4 SD 0(R2), F2 ADDD F4, F0, F8 MULD F8,F2,F2 SD 0(R2),F8 DIVD F0,F8,F4 ADDD F4,F8,F0 ADDD F8,F2,F2			