Arquitectura del Procesador II

Trabajo Práctico U2.1

Arquitecturas Segmentadas

Ejercicio 1: Considerando una arquitectura de 5 etapas para la ejecución de instrucciones, donde las demoras de cada etapa son de 10, 8, 10, 10 y 7 ns, se pide:

1. Para una arquitectura uní-ciclo, ¿Qué frecuencia podría alcanzar el reloj?.
2. Para una arquitectura multi-ciclo, ¿Qué frecuencia podría alcanzar el reloj?.
3. Para una arquitectura segmentada (pipeline), ¿Qué frecuencia podría alcanzar el reloj?. Considere el agregado de 2ns a la demora de cada etapa por el agregado de *latches*.
4. Calcular la ganancia (speed-up) de la arquitectura multi-ciclo en comparación con la arquitectura uni-ciclo. Considere para el caso de multi-ciclo que el 60% de las instrucciones poseen un CPI = 3, el 30% un CPI = 4 y un 10% un CPI = 5.
5. Calcular la ganancia de la arquitectura segmentada en comparación con la arquitectura uni-ciclo. Para la arquitectura Segmentada no se consideran los ciclos de atascos (stall) dados por los conflictos entre instrucciones.

Ejercicio 2: Analice las principales diferencias y similitudes que existen entre las arquitecturas del MIPS segmentada y uní-ciclo. ¿Cuántos bits posee cada latch de la arquitectura MIPS segmentada?.

Ejercicio 3: Analice para cada tipo de instrucción las principales unidades utilizadas y los caminos seguidos por los datos en la arquitectura MIPS Segmentada. ¿Dónde se generan las señales de control para cada etapa y como son administradas en cada una de ellas?.
Muestre los caminos seguidos y las señales de control para las siguientes instrucciones: ADD, LW, SW, BEQ.

Ejercicio 4: Dado el siguiente código MIPS:

```
lw   $t2, 20($t1)
and  $s0, $t2, $s1
or   $s0, $s0, $t2
sw   $s0, 20($t2)
```

Indique, sobre la arquitectura con segmentación, para cada ciclo de ejecución:

1. El valor de la señal de control que comanda el multiplexor que se encuentra en la etapa ID.

2. los valores de la señales de control generadas por la unidad de *forwarding* y *hazard detection*.
3. Los valores que poseen las siguientes señales de control: MenRead, MenWrite, RegDest, ALUSrc, ALUOp, MemToReg.
4. El valor que poseen los bits de los campos WB, MEM y EX en cada uno de los latch.

Ejercicio 5: La siguiente secuencia de código es una posible implantación la expresión: A + B + C + D.

```
lw    $t1, A($sp)
lw    $t2, B($sp)
add   $t3, $t1, $t2
lw    $t4, C($sp)
lw    $t5, D($sp)
add   $t7, $t4, $t5
add   $t0, $t3, $t7
```

Para una arquitectura MIPS segmentada:

a) Realizar los diagramas de ciclos de reloj, indicando los conflictos, adelantamientos y atascos que se producen durante la ejecución.

b) Calcule el CPI de esta secuencia de código.

c) Calcule el tiempo de CPU (*CPU-time*) considerando un reloj de 500Mhz.

d) Reordene las instrucciones con el fin de evitar el mayor numero de atascos.

Ejercicio 6: Dado el siguiente código MIPS:

```
lw    $t0, A($zero)
lw    $t1, B($zero)
add   $t2, $t0, $t1
sw    $t2, B($zero)
lw    $t1, C($zero)
add   $t2, $t0, $t1
sw    $t2, C($zero)
```

1. Realizar los diagramas de ciclos de reloj, indicando los conflictos, adelantamientos y atascos que se producen durante ejecución.

2. ¿Es posible modificar el código con el fin de reducir la cantidad de atascos que se producen en ejecución?.