Arquitectura del Procesador II - UNSL
2018

Práctico U 3.3 - Memoria Cache

November 13, 2018

Estos ejercicios examinan el impacto de los diferentes diseños de las memorias caches, específicamente comparando caches asociativas con caches de correspondencia directa. Los mismos se refieren a la siguiente secuencia de referencias a memoria de 32 bits, dadas como direcciones de palabra:

Direcciones de Palabras	3	180	43	2	191	88	190	14	181	44	186	253

Ejercicio 1

Muestre el contenido final para una memoria cache asociativa por conjunto de tres vías con dos palabras por bloque y un tamaño total de 24 bloques. Use la política de reemplazo LRU. Para cada referencia se pide:

- Identificar los bits correspondientes al:
  - Tag.
  - Índice.
  - Desplazamiento en el bloque.
- Indicar si se ha producido un fallo o un acierto.

Ejercicio 2

Muestre el contenido final para una memoria cache completamente asociativa con una palabra por bloque y un tamaño total de 8 palabras. Use la política de reemplazo LRU. Para cada referencia se pide:

- Identificar los bits correspondientes al:
  - Tag.
  - Índice.
- Indicar si se ha producido un fallo o un acierto.

Ejercicio 3

Para la secuencia dada, calcule

- La tasa de fallos para una memoria cache completamente asociativa con dos palabras por bloque y un total de 8 bloques, usando la política de reemplazo LRU.
- La tasa de fallos usando como política de reemplazo MRU (Most Recently Used).
- ¿Con que política (LRU o MRU) se consigue mejor tasa de fallos?. Explique las razones.

Ejercicio 4

El uso de la técnica de cache multinivel es importante para superar las limitaciones en espacio que poseen las cache de primer nivel manteniendo la velocidad. Considere un procesador con las siguientes características:

CPI Base, sin atascos de memoria	Velocidad del Procesador	Tiempo de Acceso a Memoria Principal	Tasa de Fallos por Instrucción del Primer Nivel de Cache	Velocidad del Segundo Nivel de Cache con Correspondencia Directa	Tasa de Fallos Global con Segundo Nivel de Cache con Correspondencia Directa	Velocidad del Segundo Nivel de Cache con Conjunto Asociativo de Ocho vías	Tasa de Fallos Global con Segundo Nivel de Cache con Conjunto Asociativo de Ocho vías
1.5	2 GHz	100 ns	7%	12 ciclos	3.5%	28 ciclos	1.5%

- Calcule la penalidad por fallo para el procesador mostrado en la tabla usando:
  1. Sólo una cache de Primer Nivel.
  2. Una memoria cache de Segundo Nivel con Correspondencia Directa.
  3. Una memoria cache de Segundo Nivel con Conjunto Asociativo de Ocho Vías.
- ¿Cómo cambian los números obtenidos previamente si el tiempo de acceso a memoria principal es duplicado? ¿Y si fuera la mitad?

Ejercicio 5

Es posible incrementar la jerarquía de cache a más de dos niveles. Dado el procesador del ejercicio 4, con una memoria cache de segundo nivel con correspondencia directa, un diseñador propone agregar un tercer nivel de cache que insume 50 ciclos para acceder y reduce la tasa global de fallos a 1.3% . ¿Proveerá este diseño un mejor rendimiento? En general, ¿cuáles son las ventajas y desventajas de agregar un tercer nivel de cache?